

SEMICONDUCTOR INTEGRATED CIRCUIT PACKAGE

Patent Number: JP2000294720
Publication date: 2000-10-20
Inventor(s): ASAI ATSUTAKE
Applicant(s): SHARP CORP
Requested Patent: ☐ JP2000294720
Application Number: JP19990100320 19990407
Priority Number(s):
IPC Classification: H01L23/52; H01L23/12
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit package which can realize high-density mounting and facilitate an electrical test for all terminals by interconnecting a plurality of such packages with a simple arrangement.

SOLUTION: A chip part 3 is provided on a first wiring substrate 2, first lands 5 are provided to connect terminals of the chip part 3, and second lands 7 are provided on a second wiring substrate 6. The first and second wiring substrates 2 and 6 are provided so that a surface 8 in which the first lands 5 are formed is opposed to a surface 9 in which the second lands 7 are formed, and the first and second lands 5 and 7 of the first and second wiring substrates 2 and 6 are interconnected therebetween via connecting members 10a to 10d made of anisotropic conductive material. A gap between the first and second substrates 2 and 6 are sealed with a mold layer 11, terminals 14 and 15 for conduction with the first and second lands 5 and 7 are provided on other surfaces 12 and 13 opposed to the surfaces 8 and 9 of the substrates 2 and 6, and electrodes wider in width than the first and second lands 5 and 7 are exposed to the both surfaces.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294720

(P 2 0 0 0 - 2 9 4 7 2 0 A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 23/52		H01L 23/52	C
23/12		23/12	L

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平 11-100320

(22) 出願日 平成 11 年 4 月 7 日 (1999. 4. 7)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町 22 番 22 号

(72) 発明者 朝井 淳毅

大阪府大阪市阿倍野区長池町 22 番 22 号 シ

ャープ株式会社内

(74) 代理人 100075557

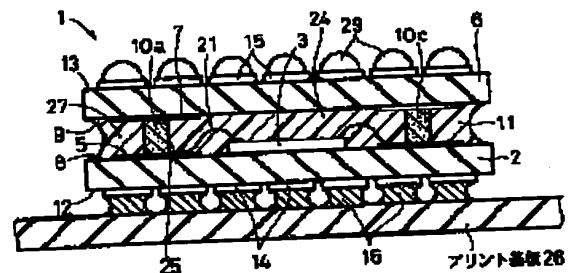
弁理士 西教 圭一郎

(54) 【発明の名称】 半導体集積回路パッケージ

(57) 【要約】

【課題】 簡単な構成で複数のパッケージを相互に接続して高密度実装を可能とし、全ての端子に対する電気的試験を容易に行うことができる半導体集積回路パッケージを提供する。

【解決手段】 第 1 配線基板 2 上に、チップ部品 3 を設けるとともに、チップ部品 3 の各端子 4 が接続される第 1 のランド 5 を設け、第 2 配線基板 6 上に、第 2 のランド 7 を設ける。第 1 および第 2 配線基板 2, 6 は、前記第 1 のランド 5 が形成される一表面 8 と前記第 2 のランド 7 が形成される一表面 9 とが対向し、第 1 配線基板 2 の第 1 のランド 5 と第 2 配線基板 6 の第 2 のランド 7 との間に、異方導電性材料から成る接続部材 10 a ~ 10 d を介在して第 1 および第 2 のランド 5, 7 を相互に接続する。第 1 および第 2 配線基板 2, 6 間の隙間は、モールド層 11 によって封止し、第 1 および第 2 配線基板 2, 6 の対向する各一表面 8, 9 とは反対側の各他表面 12, 13 に、第 1 および第 2 のランド 5, 7 にそれぞれ導通する端子 14, 15 を設け、両面に第 1 および第 2 のランド 5, 7 よりも幅の広い電極を露出させる。



【特許請求の範囲】

【請求項 1】 複数層の配線を有する第 1 配線基板の一表面上に、半導体集積回路チップ部品が配置されるとともに、この半導体集積回路チップ部品の端子が接続される第 1 のランドが設けられ、

複数層の配線を有する第 2 配線基板の一表面上に、第 2 のランドが設けられ、第 1 および第 2 配線基板は、前記第 1 のランドが形成される一表面と前記第 2 のランドが形成される一表面とが対向して配置され、

第 1 配線基板の第 1 のランドと第 2 配線基板の第 2 のランドとの間に、異方導電性材料から成る接続部材を介して第 1 および第 2 のランドが相互に接続され、

第 1 および第 2 配線基板間の隙間は、モールド樹脂によって封止され、

第 1 および第 2 配線基板の対向する各一表面とは反対側の各他表面に、第 1 および第 2 のランドにそれぞれ導通する端子が設けられることを特徴とする半導体集積回路パッケージ。

【請求項 2】 第 1 および第 2 配線基板の各他表面のうち少なくともいずれか一方の端子には、導電性材料から成るバンパが設けられることを特徴とする請求項 1 記載の半導体集積回路パッケージ。

【請求項 3】 接続部材は、弾発性を有する異方導電性材料から成ることを特徴とする請求項 1 または 2 記載の半導体集積回路パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大規模集積回路（略称 L S I : Large Scale Integration）および集積回路（略称 I C : Integrated Circuit）などの半導体集積回路チップ部品を実装した半導体集積回路パッケージの構造に関する。

【0002】

【従来の技術】BGA（Ball Grid Array）などの半導体集積回路パッケージ（以下、略称してパッケージと記す場合がある）は、パッケージの片面にのみ、半田バンパまたは半田ボールを形成し、このパッケージをプリント基板上に、たとえばリフロー加熱などの手法によって表面実装している。また、複数個の半導体集積回路パッケージをプリント基板に実装する際には、各パッケージを平面的に並べて実装している。さらに、このようなパッケージが実装されるプリント基板は、高密度実装を可能にするため、多層基板が多く用いられている。

【0003】このようなプリント基板は、半導体集積回路パッケージの実装前に、パッケージの各端子に接続されるすべての配線に対して、パッケージが実装されたときと同様な接続状態にして、各配線にプローブピンを接触させ、動作波形などの観察および試験が行われる。このような動作波形の観察および試験を行うにあたって、各配線は、高密度実装基板であるために各配線の幅およ

び間隔が微細であり、対象とする配線を検索してプローブピンを接触させる際に、隣接する配線にもプローブピンが接触してショートさせてしまうおそれがある。これを防止するために、プリント基板上の実装表面に各配線に接続され、かつ各配線よりも幅および間隔の広いテストパッドを設け、このテストパッドにプローブピンを接触させて前記試験を行っている。

【0004】このようなプリント基板の前記表面には、前記幅の広いテストパッドを形成するための領域を確保しなければならない、高密度実装の観点からみて、プリント基板の実装表面に、製品としては不要な無駄な領域が増加してしまう。また、プリント基板上にパッケージを実装した後では、上述したように、対象とする配線以外に隣接する配線にもプローブピンが接触して、ショートによる半導体集積回路を破壊する危険があるため、動作波形の観測および試験は極めて困難である。しかも、半導体集積回路の大規模化に伴い、端子数が増大し、パッケージも大形化している。このため、プリント基板上の配線パターンの複雑化および配線数の増大によって、回路配線網による占有面積も大きくなり、機器全体の小形化の障害となっている。

【0005】典型的な従来の技術は、特開平 1 0 - 9 2 9 6 9 号公報に開示されている。この従来の技術では、両表面の入出力電極を電氣的接続状態にした複数の BGA パッケージを積重して、単層または多層プリント基板に実装することによって、各 BGA パッケージの部品相互間に共通して接続する配線を、短距離で垂直に立体化し、共通して接続されない配線は、各 BGA パッケージとプリント基板とにわたって設けられるフレキシブルプリント配線板などを用いて最短距離で接続する。これによってプリント基板の配線が減少して、耐ノイズ性が高い高密度実装を可能としている。

【0006】

【発明が解決しようとする課題】上記の特開平 1 0 - 9 2 9 6 9 号公報に示される従来の技術では、複数の BGA パッケージを積重して共通する配線は、半田ボールまたは半田バンパによって上下に接続されるが、共通しない配線は、前記半田ボールまたは半田バンパによる上下の接続とは構成の異なるフレキシブルプリント配線板などの別の接続手段によって接続しなければならないため、各パッケージ間の接続に手間を要し、生産性が悪いという問題を有する。またこの従来の技術では、上記のように共通する配線、たとえばアース配線および電源ラインなどの配線に導通する半田ボールまたは半田バンパだけが上下に接続可能であるため、パッケージをプリント基板へ実装する上で、配線の切り回しが複雑であり、実装密度を向上する上で設計上の自由度が低いという問題がある。さらに上記のように共通する配線に導通する半田ボールまたは半田バンパだけが上下に接続され、各パッケージ内にモールド樹脂によって封止される半導体

集積回路チップ部品のすべての端子に前記半田ボールまたは半田バンプが導通していないため、半田ボールまたは半田バンプにプローブピンを接触させるだけでは、すべての端子に対して動作波形の確認および試験を行うことができないという問題がある。

【0007】本発明の目的は、複数のパッケージを簡単な構成で容易に接続して、実装密度を向上し、全ての端子に対する電氣的試験を容易に行うことができるようにした半導体集積回路パッケージを提供することである。

【0008】

【課題を解決するための手段】請求項1記載の本発明は、複数層の配線を有する第1配線基板の一表面上に、半導体集積回路チップ部品が配置されるとともに、この半導体集積回路チップ部品の端子が接続される第1のランドが設けられ、複数層の配線を有する第2配線基板の一表面上に、第2のランドが設けられ、第1および第2配線基板は、前記第1のランドが形成される一表面と前記第2のランドが形成される一表面とが対向して配置され、第1配線基板の第1のランドと第2配線基板の第2のランドとの間に、異方導電性材料から成る接続部材を介在して第1および第2のランドが相互に接続され、第1および第2配線基板間の隙間は、モールド樹脂によって封止され、第1および第2配線基板の対向する各一表面とは反対側の各他表面に、第1および第2のランドにそれぞれ導通する端子が設けられることを特徴とする半導体集積回路パッケージである。

【0009】本発明に従えば、複数層の配線を有する多層基板とも呼ばれる第1配線基板の一表面上に、半導体集積回路チップ部品が配置されるとともに、この半導体集積回路チップ部品の端子が接続される第1のランドが設けられる。また複数層の配線を有する第2配線基板の一表面上には、第2のランドが設けられる。第1および第2配線基板は、前記第1のランドが形成される一表面と前記第2のランドが形成される一表面とが対向して配置される。第1配線基板の第1のランドと第2配線基板の第2のランドとの間には、異方導電性材料から成る接続部材を介在して第1および第2のランドが相互に接続される。第1および第2配線基板間の隙間は、モールド樹脂によって封止され、第1および第2配線基板の対向する各一表面とは反対側の各他表面に、第1および第2のランドにそれぞれ導通する端子が設けられる。

【0010】このような構成によって、第1および第2配線基板の各他表面上に、上記動作波形の確認および試験を行うに際して、プローブピンが誤って隣接するランド、したがって端子に接触しない程度の幅および間隔を確保することができ、所望の各端子にプローブピンを接触させて容易に動作波形などの確認および試験を行うことができる。また、各端子は、半導体集積回路チップ部品のすべての配線に導通させることができるため、第1および第2配線基板のいずれか一方または双方の外部に

臨む端子を用いて、前記動作波形の確認および試験などを行うことができる。また第1および第2配線基板間に接続部材を挟持することによって、すべての配線に各端子を個別にかつ確実に導通させることができるので、構成が簡単であり、高い実装密度を容易に実現することができる。

【0011】請求項2記載の本発明は、請求項1記載の構成において、第1および第2配線基板の各他表面のうち少なくともいずれか一方の端子には、導電性材料から成るバンプが設けられることを特徴とする。

【0012】本発明に従えば、第1および第2配線基板の各他表面のうち少なくともいずれか一方の端子には、導電性材料から成るバンプが設けられるので、このバンプが設けられる表面を対向させて、パッケージ同士を相互に接続することができ、これによってもまた、高い実装密度をより容易に実現することができる。

【0013】請求項3記載の本発明は、請求項1または2記載の構成において、接続部材は、弾発性を有する異方導電性材料から成ることを特徴とする。

【0014】本発明に従えば、接続部材は、弾発性を有する異方導電性材料から成るので、第1および第2のランド間を個別に、しかも同時に接続することができ、パッケージの生産効率を格段に向上することができる。

【0015】

【発明の実施の形態】図1は、本発明の実施の一形態の半導体集積回路パッケージ1を簡略化して示す分解斜視図であり、図2は図1に示される半導体集積回路パッケージ1の断面図である。本実施の形態のスタック形半導体集積回路パッケージ（以下、略称してパッケージと記す場合がある）1は、片面の端子数がたとえば240～560ピンのBGA（Ball Grid Array）であって、複数層の配線パターンを有する第1配線基板2上に、半導体集積回路チップ部品（以下、チップ部品と略記する）3が配置されるとともに、このチップ部品3の端子4が接続される第1のランド5が設けられる。また複数層の配線パターンを有する第2配線基板6上には、第2のランド7が設けられる。

【0016】第1および第2配線基板2、6は、前記第1のランド5が形成される一表面8と前記第2のランド5が形成される一表面9とが対向して配置され、第1配線基板2の第1のランド5と第2配線基板6の第2のランド7との間に、異方導電性材料から成る接続部材10a、10b、10c、10d（以下、総称する場合には、接続部材10と記す）を介在され、この接続部材10によって第1および第2のランド5、7が相互に接続される。第1および第2配線基板2、6間の隙間は、たとえばエポキシ樹脂から成るモールド層11によって封止される。

【0017】第1および第2配線基板2、6の相互に対向する各一表面8、9とは反対側の各他表面12、13

には、第1および第2のランド5, 7にそれぞれ導通する外部端子である各複数の第1および第2パッド14, 15がマトリックス状に形成される。これらの第1および第2パッド14, 15には、バンプである半田ボール16, 17が設けられる。

【0018】具体的には、上記の第1および第2配線基板2, 6は、銅張積層板をコアとして、その上に導体層と感光性樹脂から成る絶縁層とを交互に積重したビルドアップ基板とも呼ばれる高密度プリント配線基板によって実現されてよい。前記チップ部品3は、たとえばLSI (Large Scale Integration) のベアチップであり、その半導体集積回路チップ部品3の上面19の周縁部に設けられる前述の複数の端子4は、ボンディングワイヤ21によって、第1配線基板2の第1のランド5の中央寄りの端部に接続される。なお、図1では、図解を容易にするため、一部のボンディングワイヤだけが示されている。

【0019】前記接続部材10は、弾発性を有する異方導電性材料から成る。この弾発性を有する異方導電性材料としては、たとえば、電気絶縁性のシリコンゴムと、導電性のカーボンを配合したシリコンゴムを、交互に積層して構成された異方導電性ゴムが用いられる。このような異方導電性ゴムを用いることによって、第1および第2配線基板2, 6の各ランド5, 7に各接続部材10が常に弾発的に当接し、微小な幅および間隔で形成されるいわゆるファインピッチの各ランド5, 7を個別に接続する必要がなく、同時に各ランド5, 7間の確実な電気的導通が得られる。また第1配線基板2の第1のランド5上に各接続部材10を載置して、第2配線基板2, 6を乗載して挟持すればよいので、高精度で各接続部材10を位置決めする必要がなく、容易かつ確実に第1および第2のランド5, 7を接続することができる。このように第1および第2配線基板2, 6を接合するにあたって、弾発性を有する異方導電性材料から成る接続部材10を用いるので、製造が容易であり、生産性の向上を図ることができる。

【0020】図3は、図1および図2に示されるパッケージ1の一部の断面図である。上記のようにモールド層11によって第1および第2配線基板2, 6間の隙間を封止するにあたっては、第1配線基板2と第2配線基板6との間に各接続部材10を挟んだ後、各接続部材10の周方向に隣接する長手方向両端部22a, 22b間の隙間23からモールド樹脂24を注入して硬化させ、各接続部材10の相互に対向する各内面25によって囲まれた領域内のチップ部品3および各ボンディングワイヤ21を第1配線基板2上で封止する。その後、各接続部材10の外側にモールド樹脂27を注入して硬化させる。これらのモールド樹脂24, 27は、たとえば、紫外線で硬化するエポキシ系樹脂などの光硬化形成樹脂から成る。

【0021】このようにして第1および第2配線基板2, 6の各他表面12, 13には、第1および第2の各ランド5, 7よりも幅および間隔の大きいパッド14, 15が設けられるので、隣接するパッドにプローブピン28が接触してショートするという不具合を生じることなしに動作波形確認および試験などを行うことができる。

【0022】図4は、パッケージ1がプリント基板26に実装された状態を示す断面図である。上記のパッケージ1は、たとえばリフロー加熱によってプリント基板26に実装される。このとき、パッケージ1の第1配線基板2に設けられる半田ボール16が溶融して、プリント基板26の表面に予め形成される配線パターンに接続されるが、同時に第2配線基板6の半田ボール17も溶融してバンプ29が形成される。このようにパッケージ1をプリント基板26に実装した後も、第2配線基板6の他表面13には、第1のランド5の幅および間隔よりも大きな幅および間隔を有する略半球状のバンプ29が、前記他表面13から露出し、さらには突出して形成されるため、プローブピン28の先端部を任意のバンプ29に選択的に直接、接触させ、前記従来の技術に関連して述べたように、隣接するバンプに不所望に接触してショートさせることなしに、動作波形の確認および試験を容易に行うことができる。

【0023】図5は、図4に示されるプリント基板26に実装されたパッケージ1上に他のパッケージ1aを積重して実装した状態を示す断面図である。なお、図1～図4に示される構成と対応する部分には同一の参照符を付し、重複を避けて説明は省略する。プリント基板26には、2つのパッケージ1, 1aが上下に重ねて実装される。これらのパッケージ1, 1aは、構造的には類似し、電気的機能の点で相違する。第1のパッケージ1を図4に関連して述べたように、プリント基板26に実装した後、その上方に第2のパッケージ1aが重ねて実装される。

【0024】このように2つのパッケージ1, 1aを上下に積重してプリント基板26上に実装することによって、プリント基板26上に占める各パッケージ1, 1aの面積は、パッケージ1つ分の面積だけでなく、実装密度を向上することができる。また上段のパッケージ1aの上面には、リフロー加熱によって溶融した前述のバンプ29と同様なバンプ29aが形成されているため、プリント基板に実装後であっても、プローブピン28の先端部を直接接触させて、2つのパッケージ1, 1aの動作波形の確認および試験を、同時または個別に行うことができる。しかも、このようなプローブピン28の接触は、前述したように、第1および第2のランド5, 7の幅および間隔に比べて大きいので、プローブピンの誤接触を防止することができる。

50 【0025】

【発明の効果】請求項1記載の本発明によれば、複数層の配線を有する多層基板とも呼ばれる第1配線基板の一表面上に、半導体集積回路チップ部品が配置されるとともに、この半導体集積回路チップ部品の端子が接続される第1のランドが設けられる。また複数層の配線を有する第2配線基板の一表面上には、第2のランドが設けられる。第1および第2配線基板は、前記第1のランドが形成される一表面と前記第2のランドが形成される一表面とが対向して配置される。第1配線基板の第1のランドと第2配線基板の第2のランドとの間には、異方導電性材料から成る接続部材を介して第1および第2のランドが相互に接続される。第1および第2配線基板間の隙間は、モールド樹脂によって封止され、第1および第2配線基板の対向する各一表面とは反対側の各他表面に、第1および第2のランドにそれぞれ導通する端子が設けられる。

【0026】このような構成によって、第1および第2配線基板の各他表面上に、上記動作波形の確認および試験を行うに際して、プローブピンが誤って隣接するランド、したがって端子に接触しない程度の幅および間隔を確保することができ、所望の各端子にプローブピンを接触させて容易に動作波形などの確認および試験を行うことができる。また、各端子は、半導体集積回路チップ部品のすべての配線に導通させることができるため、第1および第2配線基板のいずれか一方または双方の外部に臨む端子を用いて、前記動作波形の確認および試験などを行うことができる。また第1および第2配線基板間に接続部材を挟持することによって、すべての配線に各端子を個別にかつ確実に導通させることができるので、構成が簡単であり、高い実装密度を容易に実現することができる。

【0027】請求項2記載の本発明によれば、第1および第2配線基板の各他表面のうち少なくともいずれか一方の端子には、導電性材料から成るバンプが設けられるので、このバンプが設けられる表面を対向させて、パッケージ同士を相互に接続することができ、これによってもまた、高い実装密度をより容易に実現することができる。

【0028】請求項3記載の本発明によれば、接続部材は、弾塑性を有する異方導電性材料から成るので、第1および第2のランド間を個別に、しかも同時に接続することができ、パッケージの生産効率を格段に向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のスタック形半導体集積回路パッケージ1を簡略化して示す分解斜視図である。

【図2】図1に示されるスタック形半導体集積回路パッケージ1の断面図である。

【図3】図1および図2に示されるパッケージ1の一部の断面図である。

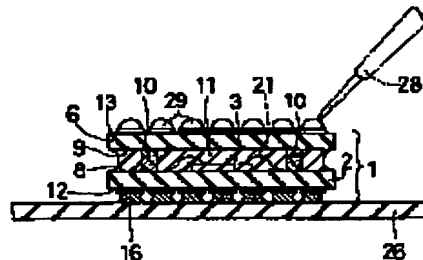
【図4】パッケージ1がプリント基板26に実装された状態を示す断面図である。

【図5】図3に示されるプリント基板26に実装されたパッケージ1上に他のパッケージ1aを積重して実装した状態を示す断面図である。

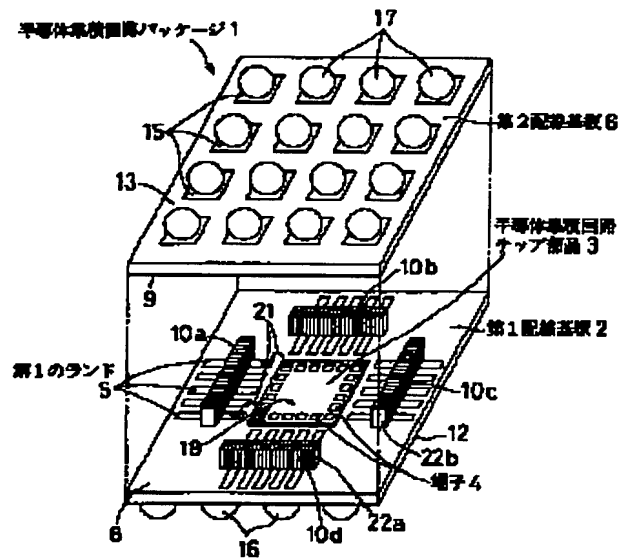
【符号の説明】

- 1, 1a 半導体集積回路パッケージ
- 2 第1配線基板
- 3 半導体集積回路チップ部品
- 4 半導体集積回路チップ部品の端子
- 5 第1のランド
- 6 第2配線基板
- 7 第2のランド
- 8 第1配線基板の一表面
- 9 第2配線基板の一表面
- 10, 10a~10d 接続部材
- 11 モールド層
- 12 第1配線基板の他表面
- 13 第2配線基板の他表面
- 14 第1パッド
- 15 第2パッド
- 16, 17 半田ボール
- 19 半導体集積回路チップの上面
- 21 ボンディングワイヤ
- 24, 27 モールド樹脂

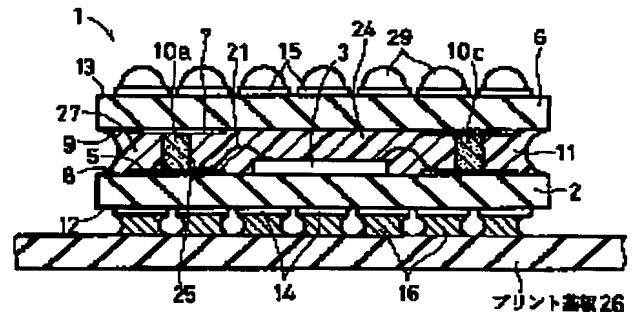
【図4】



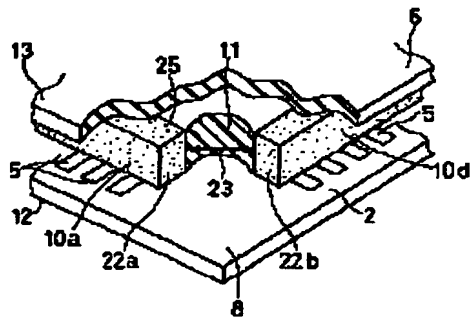
【図 1】



【図 2】



【図 3】



【図 5】

